

1/5/1

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

03720689 **Image available**

MEMORY DEVICE

PUB. NO.: 04-085789 [JP 4085789 A]
PUBLISHED: March 18, 1992 (19920318)
INVENTOR(s): KAMIGAWARA TOSHIO
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 02-199634 [JP 90199634]
FILED: July 27, 1990 (19900727)
INTL CLASS: [5] G11C-011/41
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
(ELECTRONICS -- Solid State Components)
JOURNAL: Section: P, Section No. 1382, Vol. 16, No. 309, Pg. 20, July
08, 1992 (19920708)

ABSTRACT

PURPOSE: To attain a double operating speed of a memory device without increasing the operating speed of a memory cell circuit by performing a discharging operation at the read side while a precharging operation is carried out at the write side and vice versa.

CONSTITUTION: A memory cell circuit includes a data storage part where two inverters are connected to each other, a data reading switch 13, a data writing switch 12, the read and write address lines which control both switches 13 and 12, a read data line (h) which transmits the read-out data, and a write data line (d) which transmits the written data respectively. Furthermore a write address latch circuit 7 is added to shift the read/write timing by a half cycle together with a data latch circuit 8, a writing precharge/discharge signal generating circuit 16, a reading precharge/discharge signal generating circuit 17, etc.

⑫ 公開特許公報(A) 平4-85789

⑬ Int.Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月18日

G 11 C 11/41

7323-5L

G 11 C 11/34

K

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 メモリ装置

⑯ 特 願 平2-199634

⑰ 出 願 平2(1990)7月27日

⑱ 発 明 者 上 川 原 敏 雄 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

書き込み用のアドレス及びデータ信号と、書き込みデータ線のプリチャージ信号と、同ディスチャージ信号を有し、さらに前記同様の読み出し用アドレス信号と、読み出しデータ線のプリチャージ信号の同ディスチャージ信号も有したメモリ回路において、前記書き込み用のそれぞれの信号と、同読み出し用のそれぞれの信号とが、タイミング的に半サイクルずらし、すなわち書き込み用のプリチャージ信号が活性化している時に読み出し用のディスチャージ信号が活性化し、また書き込み用のディスチャージ信号が活性化している時、読み出し用のディスチャージ信号が活性化する様なタイミングでメモリ回路への書き込み及び読み出しを行う事を特徴としたメモリ装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、メモリ装置に関し、特に読み出し用と、書き込み用のアドレス線とデータ線を備えたメモリ回路の制御方法に関する。

〔従来の技術〕

従来のメモリ装置は、第1の例として、読み出し及び書き込み用にアドレス信号線とデータ信号線とが共用化されているものや、また、第2の例として、本発明と同様、読み出しアドレス／データ信号線と、書き込み用アドレス／データ線及び同制御線が別個に存在する一例として『74LS170』等があるが、メモリセルが、ラッチ回路と出力データ選択回路の組み合わせで構成されている。

〔発明が解決しようとする課題〕

この従来のメモリ装置では、読み出し用のアドレス／データ線と書き込み用アドレス／データ線とが共用されているため、読み出しと、書き込みとがそれぞれ単独で1つのサイクル時間(プリ

チャージ→ディスチャージ)を必要とし、高速動作を行なわせることが困難であった。

また、前述の第2の従来例においては、読み出し用のアドレス/データ線及び書き込み用のアドレス/データ線が別個に存在するため、読み出しと書き込みとが同時に行えるため、前記、第1の従来例に対し約2倍の高速性が得られる事となるが、メモリセルが多くの素子を必要とするため、第一の従来例に対して、集積度及び価格の面で問題があった。

〔課題を解決するための手段〕

本発明のメモリ装置は、メモリセル回路として、インバータ(反転器)2ヶを相互に接続した、データ記憶部と、データ読み出しのためのスイッチと同書き込みのためのスイッチにより構成され、また、前記それぞれのスイッチを制御する読み出しアドレス線及び書き込みアドレス線と、さらに同前記、読み出しデータを伝達するための読み出しデータ線と、書き込みデータを伝達するための書き込みデータ線も有している。

読み出しデータ出力ラッチ10にラッチされる。

次に端子1より入力されたクロックの『H』のタイミングで書き込み側は、書き込みスイッチ12がオンとなり、それと同時に書き込みアンプ14もオンとなり、書き込みデータラッチ8のデータをメモリセル内の記憶回路11に記憶させる。またこれと同時に読み出し側では読み出しデータ線ブリチャージ・トランジスタ17によって、同データ線がブリチャージされている。なお9は読み出しアドレスのラッチ回路である。第2図は第1図の部分的な動作タイミングを示した図である。

〔発明の効果〕

以上説明した様に、本発明は、書き込み側がブリチャージを行っている時、読み出し側がディスチャージを行い、書き込み側がディスチャージの時、こんどは読み出し側がブリチャージを行っているため読み出しと、書き込みを見かけ上同時に実行できるため、メモリセル回路の速度上げずに2倍の動作速度で利用できるという効果を有する。

これに加え、読み出しタイミングと書き込みタイミングを半サイクルずらすための、書き込みアドレス、ラッチ回路及び同データラッチ回路及び書き込み用ブリチャージ、ディスチャージ信号生成回路、同読み出し用ブリチャージ、ディスチャージ信号生成回路などにより構成されている。

〔実施例〕

次に本発明について図面を参照して説明する。

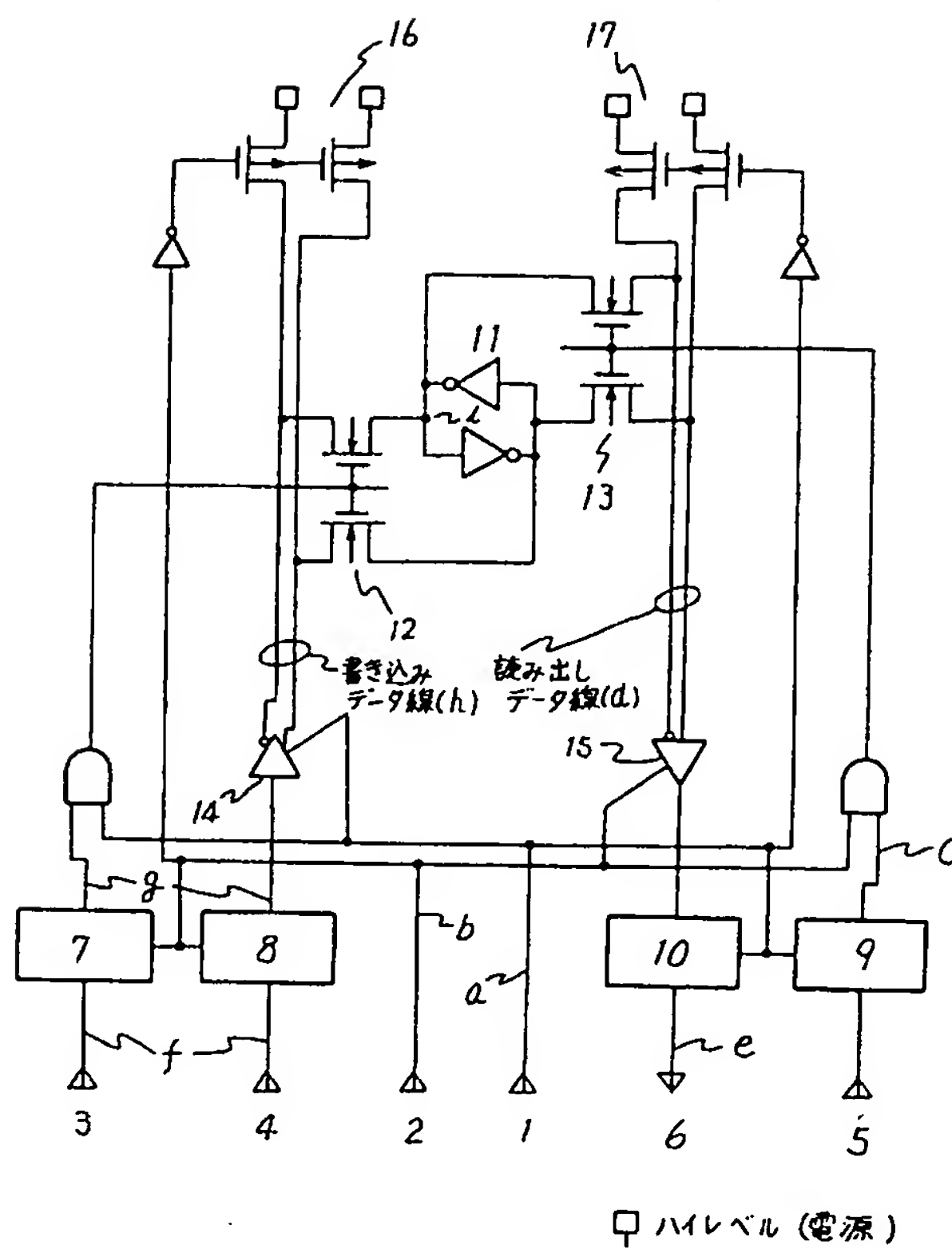
第1図は本発明の一実施例を示す図面であり、入力端子1, 2はタイミング用クロック入力端子であり、端子3, 4は書き込みアドレス及び同データの入力端子、端子5, 6は前記同様読み出しアドレス入力端子及び読み出しデータ出力端子である。7, 8はラッチ回路であり、端子3, 4より入力された書き込みアドレス及びデータを端子2より入力されたクロックでラッチする。またこれと同時に書き込みデータ線ブリチャージ用のトランジスタ16で同データ線がブリチャージされる。一方、この時読み出し側は読み出しスイッチ13がオンとなりセンスアンプ15を通じて、

4. 図面の簡単な説明

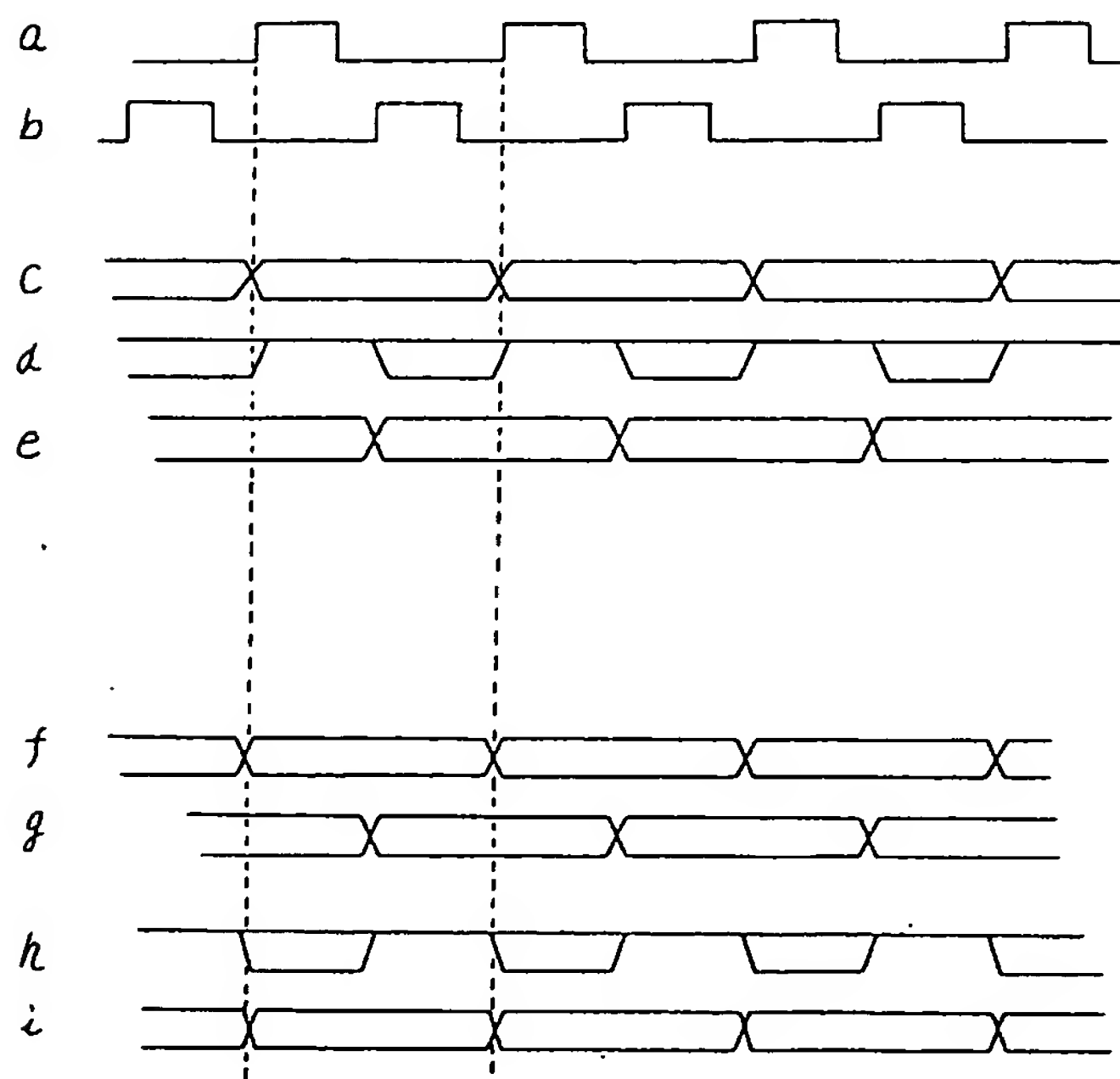
第1図は本発明の一実施例を示すブロック図で、第2図は第1図に示した実施例の各部における信号波形図である。

1……クロック入力端子、2……クロック入力端子、3……書き込みアドレス入力端子、4……書き込みデータ入力端子、5……読み出しアドレス入力端子、6……読み出しデータ出力端子、7……書き込みアドレスラッチ回路、8……書き込みデータラッチ回路、9……読み出しアドレスラッチ回路、10……読み出しデータラッチ回路、11……記憶回路、12……書き込みスイッチ、13……読み出しスイッチ、14……書き込みアンプ、15……センスアンプ、16……書き込みデータ線ブリチャージ・トランジスタ、17……読み出しデータ線ブリチャージ・トランジスタ。

代理人 弁理士 内 原 晋



第 1 図



第 2 図